

DELPHION

No acti

Select CR**RESEARCH****PRODUCTS****INSIDE DELPHION****Log Out** **Work Files** **Saved Searches**

My Account

Search: Quick/Number Boolean Advanced

Derwent RecordView: [Expand Details](#) Go to: [Delphion Integrated View](#)

Tools: Add to Work File: Create new

Derwent Title: **Insulated semiconductor substrate prodn. method - has substrate with buried insulating layer in which semiconductor disc and substrate lie on one another to be bonded at high temp.**

Original Title: ☒ **DE4423067A1: Verfahren zum Herstellen eines isolierten Halbleitersubstrats**

Assignee: **DAIMLER-BENZ AG** Standard company
Other publications from [DAIMLER-BENZ AG \(DAIM\)...](#)

Inventor: **WONDRAK W;**

Accession/Update: **1996-050639 / 199623**

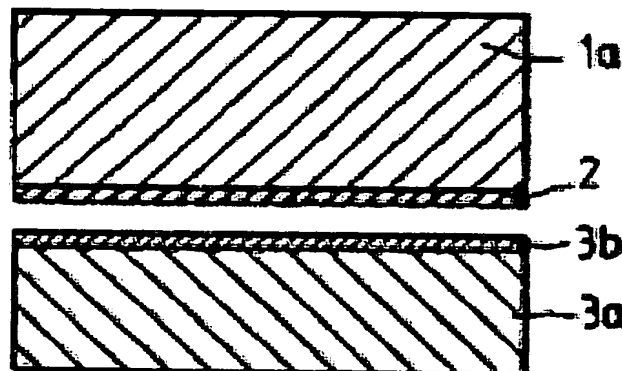
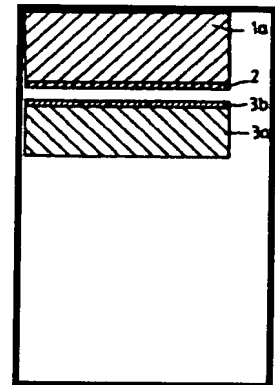
IPC Code: **H01L 21/76 ; H01L 21/20 ; H01L 21/304 ; H01L 21/58 ;**

Derwent Classes: **U11;**

Manual Codes: **U11-C01**(Deposition of active materials (e.g. semiconductors)) , **U11-C01X**(Aspects of deposition - other) , **U11-C08A4**(Dielectric isolation process (sacrificial substrate) for isolating IC components) , **U11-C08A6**(Semiconductor on insulator)

Derwent Abstract: (**DE4423067A**) The method involves using a semiconductor wafer (1a) and a substrate (3a). Provided on the wafer is a non-stoichiometric layer (2) of insulation material.
The two surfaces are bonded together using a high temperature. An e.g. buried insulation layer (3b) is provided on the substrate if the substrate is not itself initially easily bonded.
USE/Advantage - Suitable for lateral devices with high blocking properties, e.g. smart power technology. Electrical resistance even at high temperatures is not adversely affected.

Images:



Dwg.3b/9

Family: PDF Patent Pub. Date Derwent Update Pages Language IPC Code
☒ **DE4423067A1** * 1996-01-04 199606 13 German H01L 21/76
 Local appls.: [DE1994004423067](#) Filed:1994-07-01 (94DE-4423067)
☒ **DE4423067C2** = 1996-05-09 199623 12 German H01L 21/76
 Local appls.: [DE1994004423067](#) Filed:1994-07-01 (94DE-4423067)

INPADOC [Show legal status actions](#)
 Legal Status:

First Claim: [Show all claims](#) 1. Verfahren zum Herstellen eines isolierten Halbleitersubstrats mit einer vergrabene Schicht, welche dadurch hergestellt wird, daß eine Halbleiterscheibe und ein Substrat aufeinandergelegt und durch hohe Temperaturen gebondet werden, **dadurch gekennzeichnet** auf der Halbleiterscheibe (1a) eine nichtstöchiometrische Schicht (2) eines Isolators aufgebracht wird, daß das Substrat (3a) auf die beschichtete Oberfläche der Halbleiterscheibe gelegt wird und beide Oberflächen unter Anwendung hoher Temperatur miteinander gebondet werden.

Priority Number:

Application Number	Filed	Original Title
DE1994004423067	1994-07-01	VERFAHREN ZUM HERSTELLEN EINES ISOLIERTEN HALBLEITERSUBSTRATS

Title Terms: INSULATE SEMICONDUCTOR SUBSTRATE PRODUCE METHOD
 SUBSTRATE BURY INSULATE LAYER SEMICONDUCTOR DISC
 SUBSTRATE LIE ONE BOND HIGH TEMPERATURE

Index Terms: SMART POWER TECHNOLOGY DIELECTRIC ISOLATION TECHNOLOGY
[Pricing](#) [Current charges](#)

Derwent Searches: [Boolean](#) | [Accession/Number](#) | [Advanced](#)

Data copyright Thomson Derwent 2003

THOMSON

Copyright © 1997-2006 The

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact](#)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 44 23 067 A 1**

⑤1 Int. Cl.⁸:
H 01 L 21/76
H 01 L 21/58
H 01 L 21/20
H 01 L 21/304

②1 Aktenzeichen: P 44 23 067.2
②2 Anmeldetag: 1. 7. 94
④3 Offenlegungstag: 4. 1. 96

DE 44 23 067 A 1

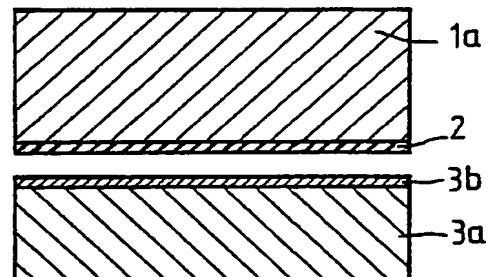
⑦1 Anmelder:
Daimler-Benz Aktiengesellschaft, 70567 Stuttgart,
DE

⑦2 Erfinder:
Wondrak, Wolfgang, Dr., 60385 Frankfurt, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zum Herstellen eines isolierten Halbleitersubstrats

⑤7 Bei einem Verfahren zum Herstellen eines isolierten Halbleitersubstrats mit einer vergrabenen isolierenden Schicht, welche dadurch hergestellt wird, daß eine Halbleiterscheibe und ein Substrat aufeinandergelegt und durch hohe Temperaturen gebondet werden, ist vorgesehen, daß auf der Halbleiterscheibe eine nichtstöchiometrische Schicht eines Isolatormaterials aufgebracht wird, daß das Substrat auf die beschichtete Oberfläche der Halbleiterscheibe gelegt wird und beide Oberflächen unter Anwendung hoher Temperatur miteinander verbunden werden.



DE 44 23 067 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 11. 95 508 061/557

11/30

Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zum Herstellen eines isolierten Halbleitersubstrats nach dem Oberbegriff des Anspruchs 1.

Ein solches Halbleitersubstrat wird für hoch sperrende laterale Bauelemente benötigt. Dieses Halbleitersubstrat enthält eine vergrabene semiisolierende Schicht. Derartige Bauelemente benötigt man für die sogenannte smart power technology.

Ein wesentlicher Gesichtspunkt der angesprochenen Technologie besteht darin, auf einem sogenannten Halbleiter-Wafer, der im folgenden als Halbleiter bezeichnet wird, mehrere Leistungsbaulemente zu integrieren, wobei die einzelnen Bauelemente gegeneinander vollständig isoliert sind.

Die gemeinsame Anordnung von logischen Schaltungen und Leistungsbaulementen in einem Chip ist in dem Aufsatz "Impact of Dielectric Isolation Technology on Power ICs" von A. Nakagawa, des Konferenzberichtes Conf. Report ISPSB 1991, Baltimore, S. 16—21, beschrieben.

Die bei mehreren Bauelementen erforderliche Isolation ist so durchzuführen, daß das jeweilige Bauelement seitlich gegenüber den übrigen angrenzenden Halbleiterbereichen elektrisch isoliert ist. Die Isolation erfolgt in der Regel so, daß Gräben um das Bauelement geätzt werden, die anschließend mit einem Dielektrikum aufgefüllt werden. Die dielektrische Isolation parallel zur Oberfläche des Halbleiters erfolgt entweder durch Bildung eines in Sperrichtung belasteten pn-Übergangs oder mit Hilfe eines Dielektrikums.

In der Offenlegungsschrift EP 0 217 288 A2, von der die Erfindung ausgeht, wird erläutert, daß die benötigte vertikale Isolationsschicht durch Direktverbindung zweier Siliziumscheiben oder -wafer herstellbar ist (Fig. 1 und 2).

Die Tendenz geht zur dielektrischen Isolation hin, da bei dieser Technologie parasitäre Elemente vermieden werden und unter anderem auch ein einfacheres Design bei erhöhter Störsicherheit möglich ist. Die erreichten maximalen Sperrspannungen bzw. Durchbruchsspannungen der Bauelemente werden einerseits durch die Isolationsfähigkeit des "vergrabenen Dielektrikums" bestimmt und zum anderen durch die Oberflächeneigenschaften in den Oberflächenbereichen, in denen die pn-Übergänge an die Oberfläche treten. Zur Vermeidung eines oberflächendurchbruchs werden u. a. sogenannte Feldplatten im Bereich der pn-Übergänge an der Oberfläche eingesetzt.

Andererseits droht ein Spannungsdurchbruch hauptsächlich dadurch, daß die gesamte Spannung zwischen dem in der Regel geerdeten Substrat und den auf hohem Potential liegenden, hoch dotierten Bereichen der Halbleiterbauelemente aufgebaut wird, was zu hohen Feldstärken führt. Einerseits führt die Erhöhung der Dicke der Driftzone zur Erhöhung der Durchbruchsspannung zu erheblichen Schwierigkeiten, da mit zunehmender Dicke der Aufwand für die seitliche Isolation durch Trennätzen und anschließender Auffüllung mit Isolationsmaterial schwierig wird. Andererseits kann zur Erzielung hoher Durchbruchsspannungen die Dicke des vergrabenen Dielektrikums nicht beliebig groß gemacht werden. Die zu geringe Wärmeleitfähigkeit bedingt eine unzureichende Abführung der Verlustleistung, was allgemein zu thermischen Problemen für die erzielbaren Parameter und den Betrieb der Bauelemente führt. Das ist aus dem Aufsatz "Technologie und Charakterisierung" von 100 VDMOS-Transistoren in "direct bonded Silizium auf Isolator". Von U. Apel, H.G. Graf, C. Marent, B. Höfflinger und T. Ifström, GME-Fachtagung Mikroelektronik, 1991, Baden-Baden, bekannt.

Wünschenswert ist daher auch der Ersatz von Siliziumoxidschichten durch andere Isolatoren mit einer möglichst hohen Wärmeleitfähigkeit. Beispielsweise ist es von Aluminiumnitrid-, Aluminiumoxid- und von Bornitrid-Keramiken bekannt, daß sie eine wesentlich höhere Wärmeleitfähigkeit als Siliziumoxid besitzen. Bei Verwendung von Siliziumoxidschichten haben sich Dicken der dielektrischen Schicht im Bereich von 0,5 bis 4,5 µm als noch brauchbar erwiesen.

Zur Erreichung hoher Durchbruchsspannungen wird beispielsweise in der deutschen Offenlegungsschrift DE 42 33 773 A1 der Einsatz von vergrabenen elektrisch leitfähigen Schichten, welche in einen vergrabenen Isolator eingebettet sind, vorgeschlagen. Andere wie A. Nakagawa (s. o.) benutzen einen SIPOS-Film als abschirmende Schicht zwischen dem Silizium und dem vergrabenen Oxid. Es ist allerdings aus dem Aufsatz von S. Lombardo, S. Campisano und F. Baroeto "Influence of oxygene concentration and annealing on morphology and electrical properties of semi-insulating polycrystalline silicon" Appl. Phys. Lett. 63 (4), S. 470—472 (1993) bekannt, daß SIPOS-Schichten bei hohen Temperaturen größer als 800°C rekristallisieren und dadurch ihr elektrischer Widerstand geringer wird. Beim Verbinden zweier Wafer mit der Direktverbindungstechnik sind aber zum Erreichen hoher Verbindungsfestigkeiten und zur weiteren Herstellung von BE-Strukturen Temperaturen im Bereich von 1000 bis 1200°C nötig. Deshalb sind herkömmliche SIPOS-Schichten ungeeignet, mit dieser Technik semiisolierende Schichten herzustellen. Der resultierende niedrige elektrische Widerstand würde zu unzulässig hohen Leckströmen führen.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zu entwickeln, um vergrabene und semiisolierende Schichten für elektrisch isolierte Halbleitersubstrate mittels der Direktverbindungstechnik herzustellen. Dabei soll der elektrische Widerstand auch bei Temperaturen bis zu 1200°C sich durch die nachfolgende Herstellung von Bauelementstrukturen mit konventionellen Methoden nicht wesentlich verschlechtern.

Diese Aufgabe wird erfindungsgemäß durch die im Kennzeichen des Anspruchs 1 aufgeführten Merkmale gelöst. Weiterbildungen der Erfindung sind in den Unteransprüchen aufgeführt.

Die Erfindung wird nachstehend anhand der Zeichnung näher erläutert.

Dabei zeigt:

Fig. 1 ein Halbleitersubstrat mit dielektrisch isolierten Inseln nach dem Stand der Technik,

Fig. 2 die Herstellung eines dielektrisch isolierten Halbleitersubstrats nach der Wafer-Bonding-Methode,

Fig. 3 zeigt eine erste Variante der Herstellung eines Halbleitersubstrats mit einer vergrabenen Schicht,

Fig. 4 zeigt eine zweite Variante der Herstellung eines Halbleitersubstrats mit einer vergrabenen Schicht mit

vorgegebenen Kontaktierungen,

Fig. 5 zeigt eine dritte Variante der Herstellung eines Halbleitersubstrats,

Fig. 6 zeigt eine vierte Variante der Herstellung eines Halbleitersubstrats mit vergrabener semiisolierender Schicht,

Fig. 7 zeigt die Herstellung eines Halbleitersubstrats mit einer vergrabenen semiisolierenden Schicht und mit inselförmigen Bereichen,

Fig. 8 zeigt die Herstellung eines Halbleitersubstrats, wobei gleichzeitig gefüllte Gräben gebildet werden und

Fig. 9 zeigt die Herstellung eines Halbleitersubstrats mit vergrabenen niederohmigen Schichten.

Fig. 1 und 2 zeigen den durch die vorerwähnte EP 0 217 288 A1 dargestellten Stand der Technik.

Das Wesen der Erfindung besteht darin, daß auf einer Halbleiterscheibe 1a eine nichtstöchiometrische Schicht 2 eines Isolatormaterials aufgebracht wird (s. Fig. 3a) und umgehend mit einem bondfähigen Substrat 3a an der Grenzfläche verbunden und bei einer Temperatur oberhalb von 800°C getempert wird, wobei angenommen wird, daß sich die Oberflächenschichten miteinander verbinden lassen. Falls die Oberflächenschichten sich nicht ohne weiteres verbinden, wird eine zusätzliche bondfähige Schicht 3b aufgebracht (s. Fig. 3b). Diese Schicht besteht vorzugsweise aus einem isolierenden Material, beispielsweise aus CVD-Oxid, SiN, BN, AlN oder ähnlichem. In der Regel ist die Rauigkeit der Oberflächen nach Abscheidungsprozeß nicht so günstig, um das Bonden zu ermöglichen, so daß vorher ein Polierschritt eingeschaltet werden sollte. Wenn die isolierende Schicht nur unzureichend bondfähig ist (beispielsweise AlN), so ist die Abscheidung und Plattierung einer weiteren bondfähigen Schicht 4, beispielsweise aus Poly-Si oder CVD-Oxid, zweckmäßig (s. Fig. 5).

Für manche Anwendungen ist es vorteilhaft, elektrisch isolierende Schichten als Schichten mit hoher Wärmeleitfähigkeit abzuschneiden. Geeignet dafür ist insbesondere eine Diamantschicht. Verwendet werden Materialien wie AlN, SiO₂, Si₃N₄, BN und Al₂O₃.

Bei der Temperung wird die nichtstöchiometrische Schicht teilweise rekristallisiert und wandelt sich dabei in eine semi-isolierende Schicht 2' um, wie sie für hoch sperrende laterale Bauelemente gefordert wird. Gleichzeitig wird die Festigkeit der Verbindung durch Bonden gestärkt. Die Verbindungsfläche 9 ist in Fig. 3b dargestellt.

Die bevorzugte Temperatur liegt im Bereich zwischen 800 und 1000°C. Anschließend wird das Halbleitersubstrat 1 durch Abschleifen, Läppen, oder Ätzen und durch Polieren auf die für die Herstellung der Bauelemente benötigte Stärke abgetragen. Diese liegt vorzugsweise im Bereich von 0,1 bis 20 µm. Die Herstellung der Bauelemente erfolgt in konventioneller Technologie.

Der bevorzugte Bereich der Stärke der nichtstöchiometrischen Schicht liegt bei etwa 0,05 bis 1 µm. Der anzustrebende spezifische Widerstand der Schicht liegt bei einigen 10⁹ – 10¹¹ Ωcm.

Die folgende Tabelle zeigt den spezifischen Widerstand von gesputterten AlN-Schichten.

Tabelle

Spezifischer Widerstand von reaktiv gesputterten AlN-Schichten (Argon: 40 sccm, Leistung 300 W)

N ₂ -Fluß	ungetempert	30 min bei 1000 °C getempert
0 sccm	≈ 10 ⁴ Ωcm	≈ 10 ² Ωcm
10 sccm	≈ 1,3 · 10 ⁹ Ωcm	2 · 10 ⁹ Ωcm
20 sccm	≈ 1,3 · 10 ⁹ Ωcm	1,5 · 10 ⁹ Ωcm
30 sccm	> 10 ¹³ Ωcm	2 · 10 ¹⁰ Ωcm

Zur Erläuterung der Erfindung werden im folgenden einige Beispiele gegeben.

Beispiel 1

Die laterale Isolation der Bauelemente erfolgt nach herkömmlichen Methoden. Beispielsweise kann die Halbleiterschicht 1a und die semiisolierende Schicht 2' durch Ätzen von Gräben bis zum vergrabenen Isolator 3b oder 2' (s. Fig. 3 und 4) bzw. bis zum vergrabenen Isolator 4 (Fig. 7) abgetragen werden. Diese Gräben können durch thermische Oxidation oder durch Abscheidung einer dielektrischen Schicht 10 isoliert werden und wenn nötig mit Polysilizium 11 aufgefüllt werden. So entstehen die elektrisch isolierten Inseln 12, die an der Grenzfläche zum vergrabenen Isolator 3b, 4 eine semiisolierende Schicht aufweisen.

In Fig. 3 wird zur Herstellung eines isolierten Halbleitersubstrats beispielsweise ein Halbleiterwafer 1a einseitig mit einer nichtstöchiometrischen Schicht eines Halbleitermaterials 2 versehen und mit einem isolierenden Substrat bestehend aus einem Siliziumwafer 3a mit beispielsweise einer Oxidschicht 3b verbunden. Bei einer anschließenden Temperung bei etwa 1000°C wandelt sich die nichtstöchiometrische Schicht 2 in eine semiisolierende Schicht 2' um, und gleichzeitig wird die Festigkeit der Verbindung erhöht. Danach wird der Halbleiter 1a auf die Dicke abgetragen, die für die noch folgende Herstellung von Bauelementen benötigt wird.

Wenn das Halbleitersubstrat 1 aus einer Halbleiterscheibe 1a mit einer strukturierten Isolationsschicht 1b, beispielsweise einem thermischen Oxid besteht, wird auf die beschriebene Art eine im vergrabenen Isolator 1b, 3b eingebettete Schicht 2' hergestellt (Fig. 4a–d). Die dielektrisch isolierte Insel 12 wird von der eingebetteten Schicht 2' nur an vorgegebenen Stellen kontaktiert, wie in Fig. 4e dargestellt.

Eine weitere Ausführungsform ist in Fig. 5 gezeigt. Die Halbleiterscheibe 1a wird zunächst mit einer nichtstöchiometrischen Schicht eines Isolatormaterials 2 und einer isolierenden Schicht 4 beschichtet, und anschließend die Oberfläche durch Polieren geglättet. Durch Bonden mit einem isolierenden Substrat 3a, 3b und Tempern bei beispielsweise 1000°C entsteht die gewünschte Schichtenfolge mit einer semiisolierenden Schicht 2'.

Wenn die isolierende Schicht 4 nur unzureichend bondfähig ist (beispielsweise aus AlN besteht), ist die Deposition einer weiteren, bondfähigen Schicht 5 zweckmäßig, wie in Fig. 6 dargestellt. Diese Schicht 5 besteht vorzugsweise aus Polysilizium oder CVD-Oxid, und wird vor dem Bonden durch Polieren auf eine Rauigkeit unter 50 nm geglättet.

Fig. 6a zeigt den Fall, daß noch eine weitere bondfähige Schicht benötigt wird, die später plan gemacht (Fig. 6b) und mit der Unterlage 3a gebondet wird, wie Fig. 6c zeigt.

Beispiel 2

Für manche Anwendungen kann es notwendig sein, laterale und vertikale Bauelemente für höhere Spannungen zu integrieren.

Zu diesem Zweck wird auf die Oberfläche einer ersten Halbleiterscheibe 1a zunächst eine nichtstöchiometrische Schicht 2 eines Isolatormaterials und eine isolierende Schicht 4 aufgebracht, wie in Fig. 7a dargestellt. Die Schichten werden anschließend mit herkömmlichen Verfahren strukturiert, so daß die Oberfläche der Halbleiterscheibe 1a freigelegt wird (s. Fig. 7b). Danach wird eine bondfähige Schicht 5, vorzugsweise dotiertes Polysilizium, dicker als die Summe der Schichten 2 und 4 deponiert (Fig. 7c). Anschließend wird die Oberfläche der Scheibe durch Polieren plan gemacht und, wie Fig. 7d und e zeigen, durch Bonden mit einem leitfähigen Substrat 3a, welches vorzugsweise ein hochdotierter Halbleiter ist, verbunden. Eine nachfolgende Temperung bei hoher Temperatur (800—1000°C) führt zur Festigung der Verbindung an der Grenzfläche 9 und zur Rekristallisation der Schicht 2, so daß die semiisolierende vergrabene Schicht 2' entsteht.

Nach dem Dünnen der ersten Halbleiterscheibe 1a wird durch Ätzen von Gräben und Füllen mit einem Dielektrikum 10 und mit Polysilizium 11 eine Halbleiterscheibe fertiggestellt (s. Fig. 7f), die als Substrat für elektronische Schaltkreise genutzt werden kann. Dieses Substrat enthält dielektrisch isolierte Inseln 12 mit semiisolierenden Schichten 2' an der Grenzfläche zum vergrabenen Isolator 4. Außerdem weist das Substrat inselförmige Bereiche 13 auf, die mit der Unterseite des Substrats elektrisch leitfähig verbunden sind und in denen vertikale Bauelemente integriert werden können.

Beispiel 3

Die Herstellung von Halbleitersubstraten mit vergrabenen semiisolierenden Schichten 2' und mit dielektrisch voneinander isolierten Bereichen 12 kann auch vereinfacht werden, wenn die laterale Isolation schon vor dem Bonden realisiert wird. Dies wird anhand der Fig. 8 dargestellt. Zunächst wird eine Halbleiterscheibe 1a mit einer nichtstöchiometrischen Schicht eines Isolatormaterials 2 nach Fig. 8a und b beschichtet und mit herkömmlichen Methoden mit Strukturen versehen. Gräben werden bis in die Tiefe des Halbleitermaterials geätzt, um die für die spätere Bauelementherstellung benötigten Stärken zu erzielen. Danach wird eine Isolatorschicht 4 beispielsweise durch thermische Oxidation und/oder Abscheidung, beispielsweise durch einen CVD-Prozeß, deponiert (Fig. 8c). Wenn die Gräben durch diesen Schritt noch nicht völlig ausgefüllt sind, wird eine weitere bondfähige Schicht 5, z. B. aus Polysilizium, aufgebracht, so daß die Gräben vollständig gefüllt sind. Anschließend wird auf eine Rautiefe von weniger als 50 nm poliert und die Scheibe auf eine zweite Substratscheibe 3a gebondet (s. Fig. 8d).

Durch Temperung bei Temperaturen von etwa oberhalb 800°C wird die Festigkeit der Verbindung an der Grenzfläche 9 erhöht, und gleichzeitig kristallisiert die Schicht 2 um und wird semiisolierend. Danach wird die erste Halbleiterscheibe so weit gedünnt, bis die Isolation 4 der Gräben sichtbar wird. Dieses Sichtbarwerden kann auch als Indikator dafür dienen, daß der abschließende Polierprozeß zu beenden ist.

Beispiel 4

Zur Integration von quasi-vertikalen Bauelementen und hochsperrenden lateralen Bauelementen ist es wünschenswert, ein Halbleitersubstrat zu haben, in dem lateral isolierte Inseln mit niederohmigen Schichten und Inseln mit semiisolierenden Schichten an der Grenze zum vergrabenen Isolator 4 vorhanden sind. Ein solches Substrat kann folgendermaßen hergestellt werden (siehe Fig. 9):

Auf die Oberfläche einer Halbleiterscheibe 1a wird eine nichtstöchiometrische Schicht 2 eines Isolators aufgebracht (Fig. 9a) und so strukturiert, daß sie nur dort vorhanden ist, wo hochsperrende laterale Bauelemente entstehen sollen. In einem nachfolgenden Implantationsschritt wird die freie Oberfläche der Halbleiterscheibe 1a in einer Zone 7 niederohmig dotiert (s. Fig. 9b).

Danach wird durch Ätzen eines Grabens, Auffüllen mit einem Dielektrikum 4, Abscheiden einer bondfähigen Schicht 5, die stärker sein muß als die Schicht 2 und durch Polieren eine glatte Oberfläche hergestellt, wie Fig. 9c darstellt. Diese Oberfläche wird an der Grenzfläche 9 mit einem Substrat 3 gebondet. Das Substrat 3 kann ein Isolator oder eine Halbleiterscheibe sein. Nach einer Temperung ist die semiisolierende Schicht 2' entstanden. Abschließend wird die Halbleiterscheibe 1a bis zur Isolation 4 der Isolationsgräben zurückgedünnt, wie in Fig. 9d gezeigt. Es entsteht ein Halbleitersubstrat mit inselförmigen, voneinander elektrisch isolierten Bereichen 14 mit regelbaren niederohmigen Schichten 7 und mit Bereichen 12 mit vergrabenen semiisolierenden Schichten 2'.

Beim Ätzen der Isolationsgräben ist die erforderliche Tiefe durch die für die Herstellung der Bauelemente

benötigte Höhe vorgegeben.

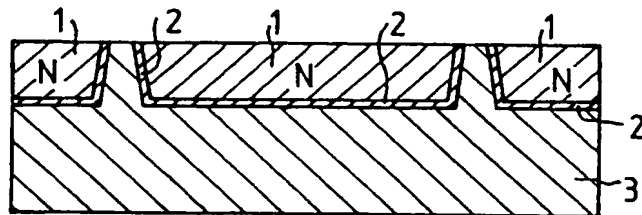
Patentansprüche

1. Verfahren zum Herstellen eines isolierten Halbleitersubstrats mit einer vergrabenen isolierenden Schicht, welche dadurch hergestellt wird, daß eine Halbleiterscheibe und ein Substrat aufeinandergelegt und durch hohe Temperaturen gebondet werden, dadurch gekennzeichnet, daß auf der Halbleiterscheibe (1a) eine nichtstöchiometrische Schicht (2) eines Isolatormaterials aufgebracht wird, daß das Substrat (3a) auf die beschichtete Oberfläche der Halbleiterscheibe (1a) gelegt wird und beide Oberflächen unter Anwendung hoher Temperatur miteinander verbunden werden. 5
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß auf der Oberfläche der nichtstöchiometrischen Schicht (2) eines Isolatormaterials eine elektrisch isolierende Schicht (4) abgeschieden wird. 10
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß auf der Oberfläche eines zunächst nicht bondfähigen Substrats (1a, 3a) eine bondfähige Schicht (4, 5, 3b) abgeschieden wird.
4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Oberflächen der beiden Substrate (1a, 3a) mittels einer Temperatur oberhalb von 800°C gebondet werden. 15
5. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) und/oder die Halbleiterscheibe (1a) vor der Abscheidung der isolierenden Schicht (4) strukturiert werden.
6. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die isolierende Schicht (4) und/oder die nichtstöchiometrische Schicht (2) und/oder die Halbleiterscheibe (1a) vor der Abscheidung der bondfähigen Schicht (5) strukturiert werden. 20
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Oberfläche des Substrats (3a) und die Oberfläche der damit bondfähigen Halbleiterscheibe (1a) poliert, aufeinandergelegt und gebondet werden. 25
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß zum Glätten der Oberflächen ein chemisches und/oder mechanisches Polieren angewandt wird.
9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß als bondfähige Schicht (5, 3b) Polysilizium aufgebracht wird.
10. Verfahren nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Isolatorschicht (4) aus Diamant besteht. 30
11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) aus SiO_x mit $x = 0,8 - 1,5$ besteht.
12. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) aus AlN_x mit $x = 0,8 - 1$ besteht. 35
13. Verfahren nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) aus $\text{Si}_3\text{N}_{4-x}$ mit $x = 0,1 - 1$ besteht.
14. Verfahren nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß das Substrat (3a) eine Isolatorscheibe, eine Halbleiterscheibe oder eine mit einer isolierenden Schicht bedeckte Halbleiterscheibe ist. 40
15. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, daß als bondfähige Schicht (4, 5, 3b) SiO_2 verwendet wird.
16. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, daß als bondfähige Schicht (4, 5, 3b) Si_3N_4 verwendet wird.
17. Verfahren nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) durch Sputtern, reaktives Sputtern unter Zugabe von N_2 und/oder O_2 hergestellt wird. 45
18. Verfahren nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) durch ein CVD-Verfahren hergestellt wird.
19. Verfahren nach einem der Ansprüche 1 bis 18, dadurch gekennzeichnet, daß die nichtstöchiometrische Schicht (2) und die Isolatorschicht in einem Prozeßschritt hergestellt werden. 50
20. Verfahren nach einem oder Ansprüche 1 bis 19, dadurch gekennzeichnet, daß die semiisolierende Schicht (2') strukturiert wird und damit isolierte Halbleiterbereiche für hochsperrende laterale Bauelemente und quasi-vertikale Bauelemente hergestellt werden.

Hierzu 8 Seite(n) Zeichnungen

- Leerseite -

FIG.1



Stand der Technik

FIG.2a

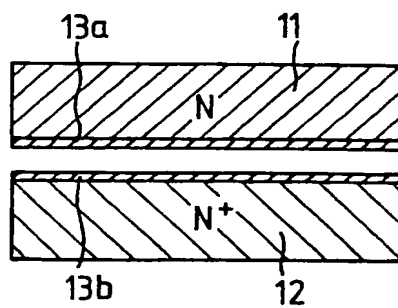
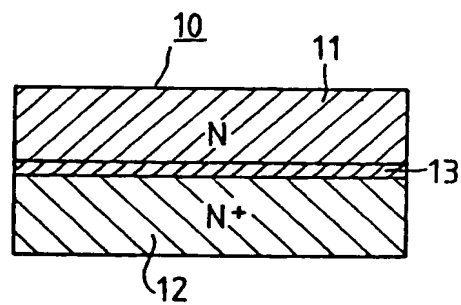


FIG.2b



Stand der Technik

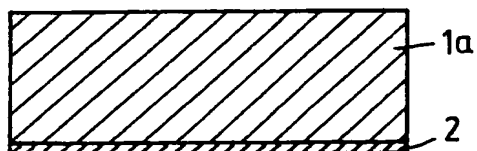


FIG.3a

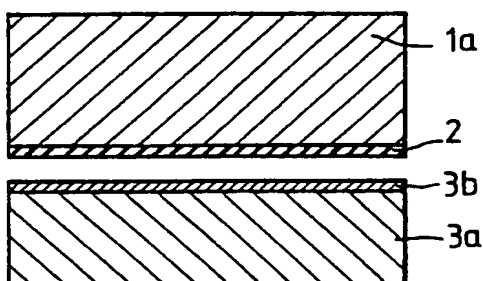


FIG.3b

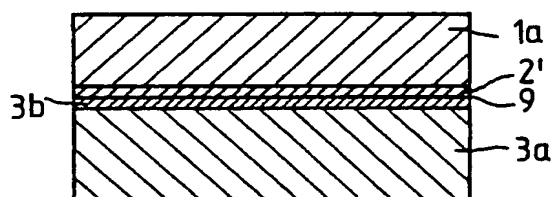


FIG.3c

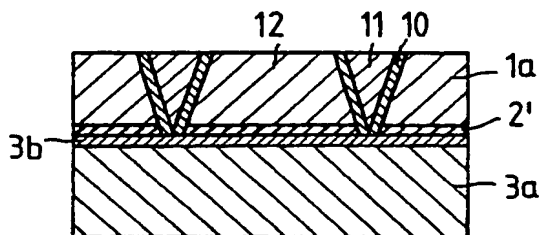


FIG.3d

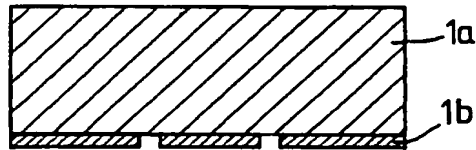


FIG.4a

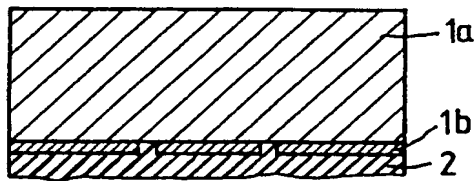


FIG.4b

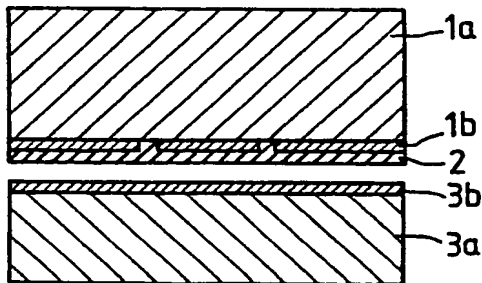


FIG.4c

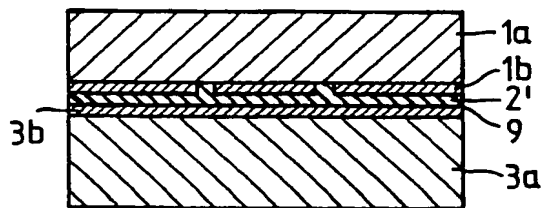


FIG.4d

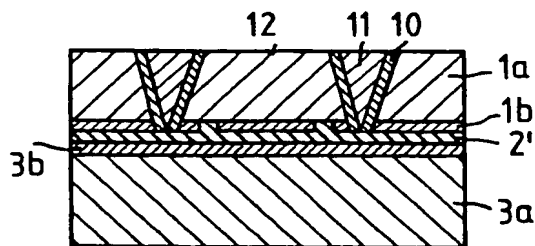


FIG.4e

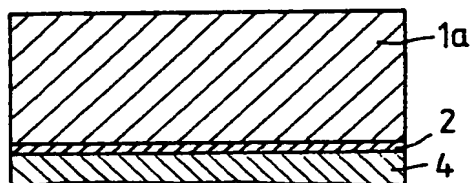


FIG. 5a

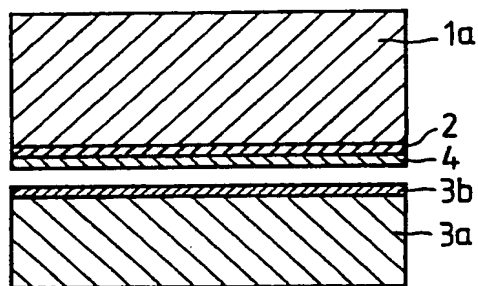


FIG. 5b

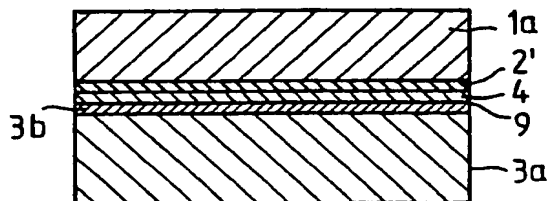


FIG. 5c

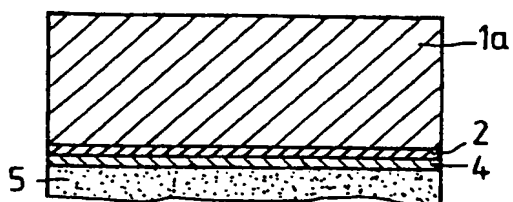


FIG. 6a

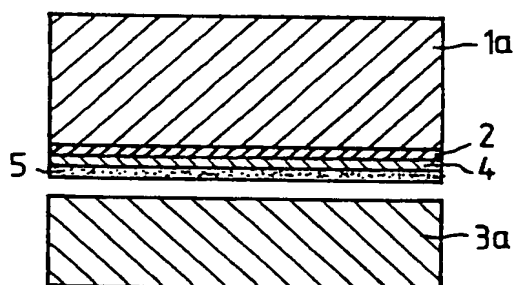


FIG. 6b

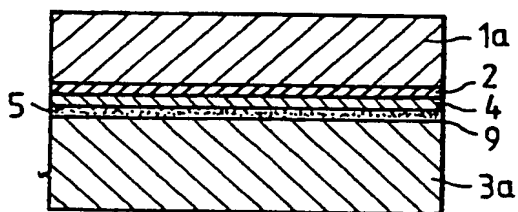


FIG. 6c

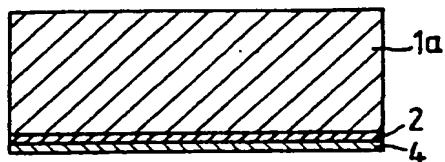


FIG. 7a

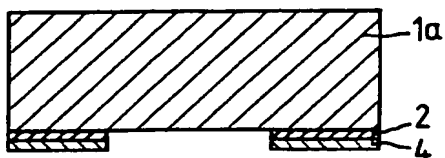


FIG. 7b

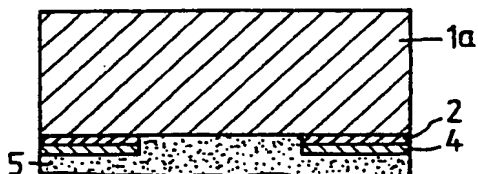


FIG. 7c

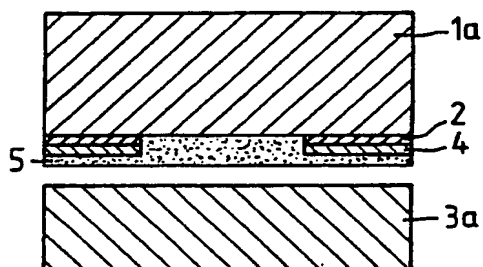


FIG. 7d

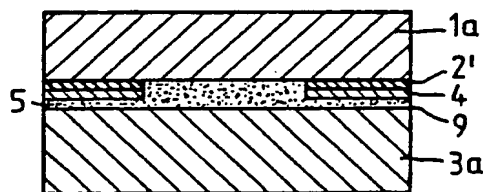


FIG. 7e

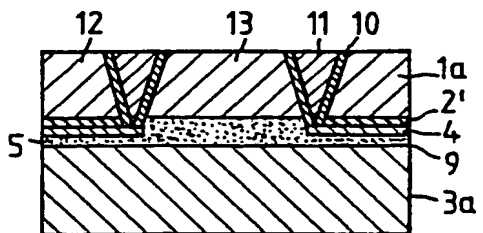


FIG. 7f

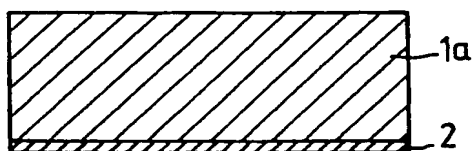


FIG. 8a

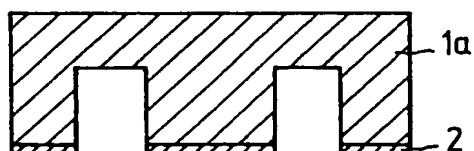


FIG. 8b

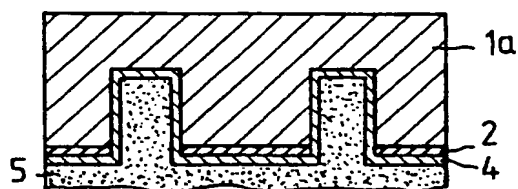


FIG. 8c

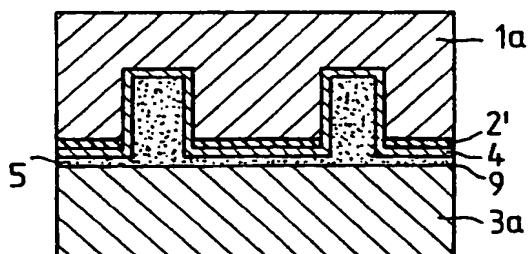


FIG. 8d

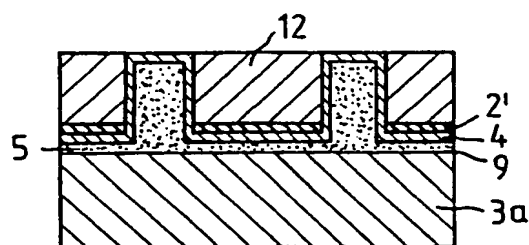


FIG. 8e

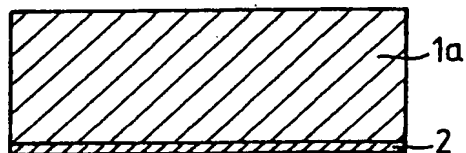


FIG. 9a

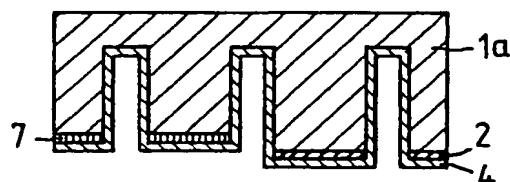


FIG. 9b

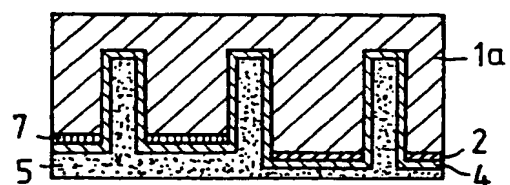


FIG. 9c

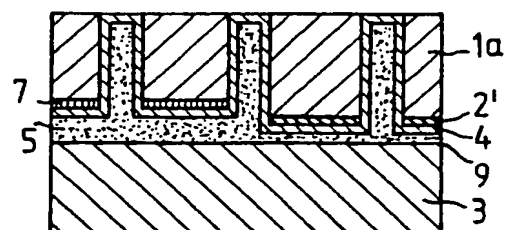


FIG. 9d